

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156180

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 21/8238

H01L 27/092

G06F 3/00

H01L 27/04

H01L 21/822

H03K 19/0175

(21)Application number : 11-333818

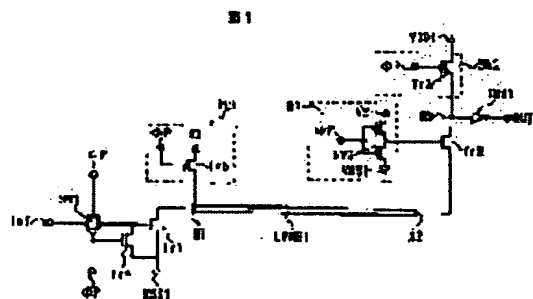
(71)Applicant : HITACHI LTD

(22)Date of filing : 25.11.1999

(72)Inventor : TANAKA KATSUYA
YAMASHITA HIROKI

(54) CMOS LONG DISTANCE WIRING DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS long distance wiring drive circuit which is high speed and lower power consumption.**SOLUTION:** In a precharge period, an SW1 is turned off, and an SW2 is turned on, and a voltage for turning off a Tr2 is applied to the gate of the Tr2 by a B1. In a signal transmission period, the SW1 is turned on, and the SW2 is turned off, and a voltage V2 which is lower than $(V1+V_{th})$ is applied to the second gate by a first bias means.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】第1のドレインを第1の接続点に接続し、第1のゲートを第1のスイッチ手段を介して第1の入力端子に接続し、第1のソースを第1の負の電源に接続した第1のN型MOSトランジスタと、第1の接続点と第2の接続点を接続する第1の伝送線路と、第1の接続点あるいは第2の接続点あるいは第1の伝送線路の途中に接続されていて第1の伝送線路を電圧 V_1 に昇圧する第1のプリチャージ手段と、第2のドレインを第3の接続点に接続し、第2のゲートを第1のバイアス手段に接続し、第2のソースを第2の接続点に接続し、閾値電圧が V_{th} である第2のN型MOSトランジスタと、第3の接続点と第1の正の電源を接続する第2のスイッチ手段と、第3の接続点と第1の出力端子の間に接続した第1のインバータ回路と、からなり、第1のスイッチ手段をオフ、第2のスイッチ手段をオン、第1のバイアス手段により第2のゲートに第2のN型MOSトランジスタをオフする電圧を印加して、第1の伝送線路のプリチャージを行い、第1のスイッチ手段をオン、第3のスイッチ手段をオフ、第1のバイアス手段により第2のゲートに $(V_1 + V_{th})$ より低い電圧 V_2 を印加して、第1の入力信号から第1の出力端子へ信号を伝送することを特徴とするCMOS長距離配線駆動回路。

【請求項2】請求項1において、第1の入力端子にローレベルが入力されている場合は、第1の伝送線路をプリチャージすることを特徴とするCMOS長距離配線駆動回路。

【請求項3】請求項1または請求項2において、第1のプリチャージ手段を第1の伝送線路の少なくとも2個所に分散して備えることを特徴とするCMOS長距離配線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS（相補型金属酸化膜半導体）からなる半導体集積回路に係り、特に半導体集積回路内の長距離の配線を駆動する回路に関する。

【0002】

【従来の技術】半導体集積回路のチップサイズ増大に伴い、集積回路上の配線の寄生容量がゲートの容量よりも支配的となってくる。集積回路の動作周波数を決定するクリティカルパスはチップ内の長距離配線を含む場合が多く、ローカルな回路を高速化しても集積回路全体の性能が向上するとは限らない。したがって、集積回路の高速化のためには、長距離配線を高速に駆動する回路が必須である。

【0003】従来の長距離配線駆動回路で最も一般的に利用されている回路としては、CMOSインバータを対にした回路が「VLSIシステム設計－回路と実装の基礎－（1995年7月）」の第184頁から第185頁

に記載されている。また、伝送線路をプリチャージする回路が「VLSIシステム設計－回路と実装の基礎－（1995年7月）」の第188頁から第194頁に記載されている。

【0004】

【発明が解決しようとする課題】従来のCMOSインバータ対を利用した回路では、伝送線路上の信号振幅が大きくなるので、伝送線路の寄生容量を充放電する時間が長くなり高速動作が困難であるという問題があった。また、従来のプリチャージ型回路では、伝送線路上の信号振幅を小さくして高速動作が可能であるが、直流電力を消費するので消費電力が大きくなるという問題と、小信号振幅で信号伝送し、高感度領域までプリチャージした受信回路を利用するためにノイズに弱いという問題があった。

【0005】本発明の第1の目的は、高速動作可能で消費電力が少なく、ノイズ耐性の高いCMOS長距離配線駆動回路を提供することである。

【0006】本発明の第2の目的は、さらにノイズ耐性の大きなCMOS長距離配線駆動回路を提供することである。

【0007】本発明の第3の目的は、プリチャージ時間が短いCMOS長距離配線駆動回路を提供することである。

【0008】

【課題を解決するための手段】上記第1の目的を達成するため本発明においては、第1のドレインを第1の接続点に接続し、第1のゲートを第1のスイッチ手段を介して第1の入力端子に接続し、第1のソースを第1の負の電源に接続した第1のN型MOSトランジスタと、第1の接続点と第2の接続点を接続する第1の伝送線路と、第1の接続点あるいは第2の接続点あるいは第1の伝送線路の途中に接続されていて第1の伝送線路を電圧 V_1 に昇圧する第1のプリチャージ手段と、第2のドレインを第3の接続点に接続し、第2のゲートを第1のバイアス手段に接続し、第2のソースを第2の接続点に接続し、閾値電圧が V_{th} である第2のN型MOSトランジスタと、第3の接続点と第1の正の電源を接続する第2のスイッチ手段と、第3の接続点と第1の出力端子の間に接続した第1のインバータ回路と、からなり、第1のスイッチ手段をオフ、第2のスイッチ手段をオン、第1のバイアス手段により第2のゲートに第2のN型MOSトランジスタをオフする電圧を印加して、第1の伝送線路のプリチャージを行い、第1のスイッチ手段をオン、第3のスイッチ手段をオフ、第1のバイアス手段により第2のゲートを $(V_1 + V_{th})$ より低い電圧 V_2 を印加して、第1の入力信号から第1の出力端子へ信号を伝送する。

【0009】また、上記第2の目的を達成するため、第1の入力端子にローレベルが入力されている場合は、第

1の伝送線路をプリチャージする。

【0010】さらに、上記第3の目的を達成するため、第1のプリチャージ手段を第1の伝送線路の少なくとも2個所以上に分散して備える。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、同一の参照番号は同じ構成要素を示す。また、以下では数1を「Aバー」と記述し、信号Aの反転信号を意味することとする。

【0012】

【数1】

$\bar{A} \dots \dots (数1)$

【0013】図1に、本発明の第1の実施の形態であるCMOS長距離配線駆動回路の回路図を示す。CMOSトランスファゲートであるSW1と、トランジスタTr1と、トランジスタTr4によって送信回路を構成する。 ΦP はプリチャージ信号を示し、 ΦP バーはプリチャージ信号の反転信号を示す。このプリチャージ信号 ΦP は、伝送線路LINE1をプリチャージする期間にハイレベルとなり、その他の期間はローレベルとなる。 ΦP がハイで ΦP バーがローの場合、SW1はオフ、Tr4はオン、Tr1はオフとなる。 ΦP がローで ΦP バーがハイの場合、SW1はオン、Tr4はオフとなり、Tr1は入力端子IN1の入力信号レベルに従いオン、オフする。

【0014】トランジスタTr5はプリチャージ回路PC1を構成する。 ΦP がハイの場合Tr5はオンとなり、LINE1を電圧V1でプリチャージする。

【0015】バイアス回路B1と、トランジスタTr2と、スイッチSW2によって受信回路を構成する。B1はCMOSインバータINV2で構成し、 ΦP がハイの場合Tr2のゲートを負の電源VSS1にバイアスし、 ΦP がローの場合Tr2のゲートを電圧V2にバイアスする。トランジスタTr3はスイッチSW2を構成する。 ΦP バーがローの場合にTr3オンとなり、CMOSインバータINV1の入力端子に電圧VDD1を印加する。

【0016】本実施の形態の動作を説明する。図1の回路においてIN1から出力端子OUT1へ信号を伝送するために、信号伝送サイクルの最初に必ずLINE1のプリチャージを行う。 ΦP をハイ、 ΦP バーをローとすると、SW1とTr1はオフしTr5はオンとなるので、LINE1はV1にプリチャージされる。またTr2のゲートはVSS1にバイアスされるのでTr2はオフするが、一方Tr3はオンするので接続点N3はVDD1が印加され、INV1の出力はローとなる。以上が本実施の形態のプリチャージ動作である。

【0017】つぎにIN1からOUT1への信号伝送時の動作を説明する。 ΦP をロー、 ΦP バーをハイとする。

【0018】IN1への入力信号がローの場合、送信側ではSW1を介してTr1のゲートにローレベルが伝わるのでTr1はオフのままである。受信側ではTr3がオフし、Tr2のゲートにV2が印加される。Tr2の閾値電圧をVthとして、数2が成り立つように電圧関係を設定しておく、Tr2はオフしたままであり、プリチャージ時間内にINV1の入力端子に充電された電荷は放電されない、OUT1はローレベル固定である。

【0019】

10 【数2】 $V2 < (V1 + Vth)$

IN1への入力レベルがハイの場合は、送信側ではTr1がオンし、LINE1に充電された電荷を引き抜き始める。LINE1の電圧をVL1とする。

【0020】数3が成り立つまでLINE1の電荷を引き抜くと、Tr2がオンとなる

【0021】

【数3】 $VL1 < (V2 - Vth)$

そしてTr2とLINE1とTr1を経由してINV1の入力端子に充電された電荷を引き抜く。 $V1 = V2$ の場合は、VL1はVthより大きな電圧変化をするだけで、Tr2をオンすることができる。つまり、VthがV1、V2に比べて十分小さい場合、LINE1上に充電された電荷をほとんど放電させる必要がなく、INV1の入力端子に充電された電荷を引き抜くだけで、INV1を反転させることができる。

【0022】従来のインバータ対による信号伝送では、伝送線路に正の電源電圧にまで充電された電荷を少なくとも半分を放電しないと受信側インバータを反転させることはできない。よって、従来のインバータ対による信号伝送に比べ、本実施の形態では高速にハイレベルを伝送できる。

【0023】また、本実施の形態においては、入力信号のレベル変化があった場合のみLINE1が再充電(V1までプリチャージ)されるので、毎サイクル消費する電力は少ない。さらに、V1とV2を電源電圧VDD1より低い電圧に設定する(例えばVDD1の1/2以下)ことにより、LINE1のプリチャージに必要な電力と時間を小さくすることができる。そして、本実施の形態によれば伝送線路上の信号振幅は小さいが、INV1は大振幅で駆動するのでノイズ耐性が高いという特徴がある。

【0024】図4に本実施の形態の動作波形を示す。図4において、401がIN1への入力波形、402がOUT1からの出力波形である。V1をVDD1の1/2の電圧に設定し、この波形はチップ内で10mmの長さの配線を伝送させた結果である。403は従来のインバータ対による信号伝送波形である。本実施の形態は、従来のインバータ対による信号伝送に比べて約2倍高速である。

50 【0025】本発明の第2の実施の形態を図2に示す。

本実施の形態では、第1の実施の形態に対してCMOS NANDゲートNAND1を追加している。NAND1には、ΦPバーとIN1への入力信号が入力される。NAND1により、PC1はΦPがローあるいは、IN1への入力信号がローの場合にLINE1をプリチャージする。

【0026】第1の実施の形態においては、入力信号ローの場合にTr1とTr2がともにオフとなるので、LINE1がフローティングの状態になってしまう。もしLINE1上電荷のリークやノイズによってVL1が変化したら、Tr2がオンし、INV1が誤動作する可能性がある。そこで、本実施の形態では、入力信号ローレベルの場合には必ずLINE1をPC1によってプリチャージすることにより、VL1を一定に保ち、ノイズ耐性を高めることができた。

【0027】本発明の第3の実施の形態を図3に示す。本実施の形態は、第1の実施の形態に対して、プリチャージ回路PC2を追加している。PC2はトランジスタTr6からなり、PC1と同様にΦPがハイの場合にLINE1をプリチャージする。

【0028】本実施の形態によれば、PC1とPC2に2回路同時にLINE1を充電できるので、LINE1を充電する電流量が増えて、LINE1のプリチャージ時間を短縮することができる。このようにLINE1上に複数のプリチャージ手段を設けることによりプリチャージ時間を短縮でき、信号伝送サイクルを短縮できる。

【0029】

【発明の効果】以上説明したように、本発明の第1の実施の形態によれば、伝送線路上の信号振幅を小さくでき、従来の回路に比べ動作速度が2倍速いCMOS長距離配線駆動回路を提供できる。また入力信号レベルの切り替わり時のみ伝送線路の寄生容量を充放電するので、低消費電力なCMOS長距離配線駆動回路を提供できる。また、第2の実施の形態によれば、伝送線路がフローティングの状態にならないので、ノイズ耐性を向上させることができる。また、第3の実施の形態によれば20個所以上から伝送線路を充電するための電流を供給できるので、プリチャージ時間を短縮できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の回路図。

【図2】本発明の第2の実施の形態の回路図。

【図3】本発明の第3の実施の形態の回路図。

【図4】本発明の第1の実施の形態の回路動作を示す測定図。

【符号の説明】

Tr1, Tr2, Tr3, Tr4, Tr5, Tr6...MOSトランジスタ、INV1, INV2...CMOSインバータ、NAND1...CMOS NANDゲート、LINE1...伝送線路、N1, N2, N3, N4...接続点、SW1, SW2...スイッチ、IN1, OUT1...端子、ΦP...プリチャージ信号、VDD1, VSS1, V1, V2...電源、PC1, PC2...プリチャージ回路、B1...バイパス回路、401, 402, 403...信号波形。

【図1】

図1

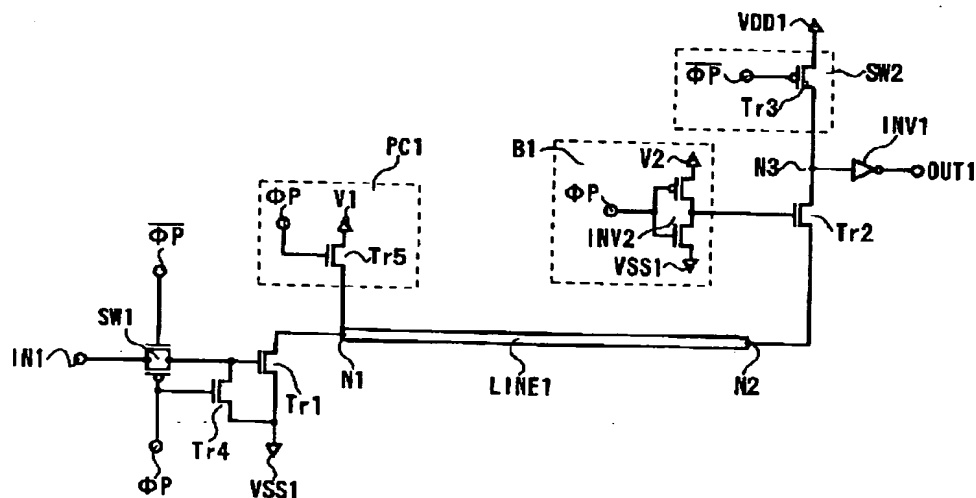


圖 2

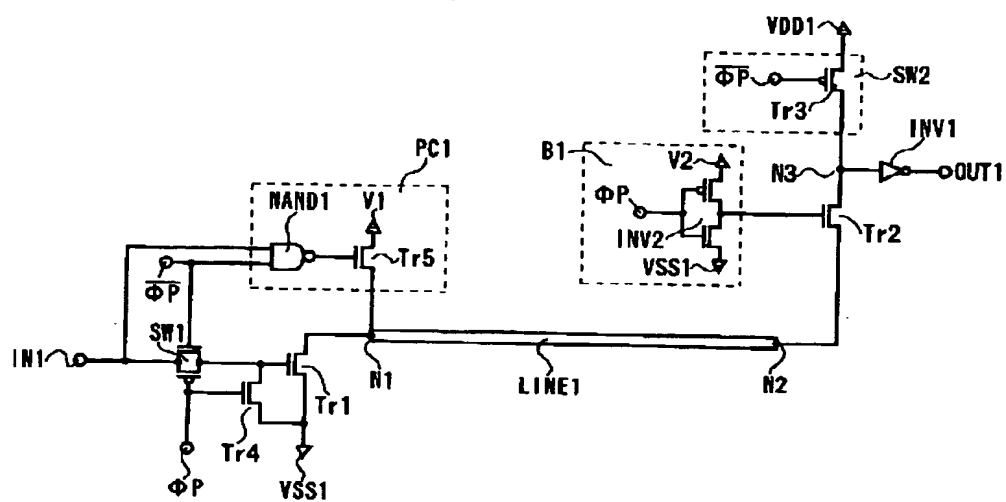
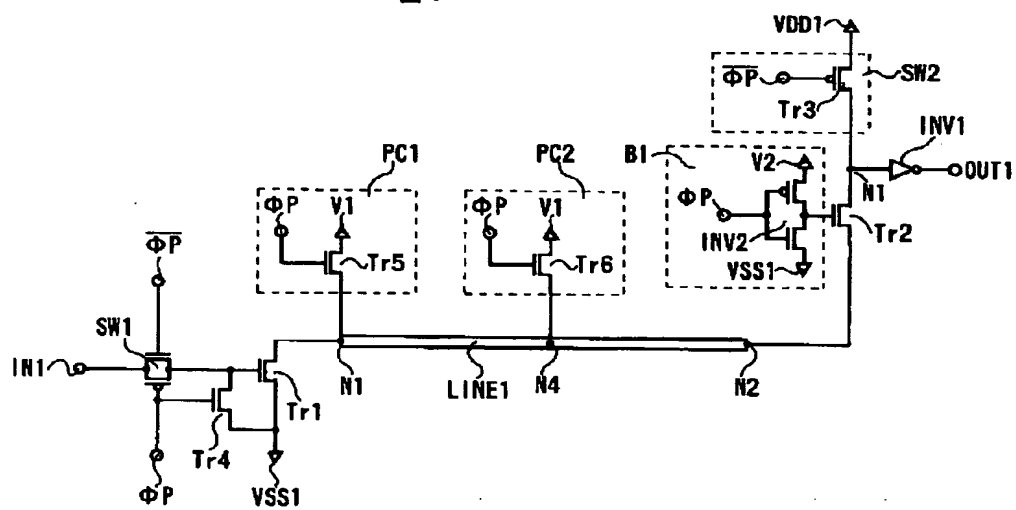
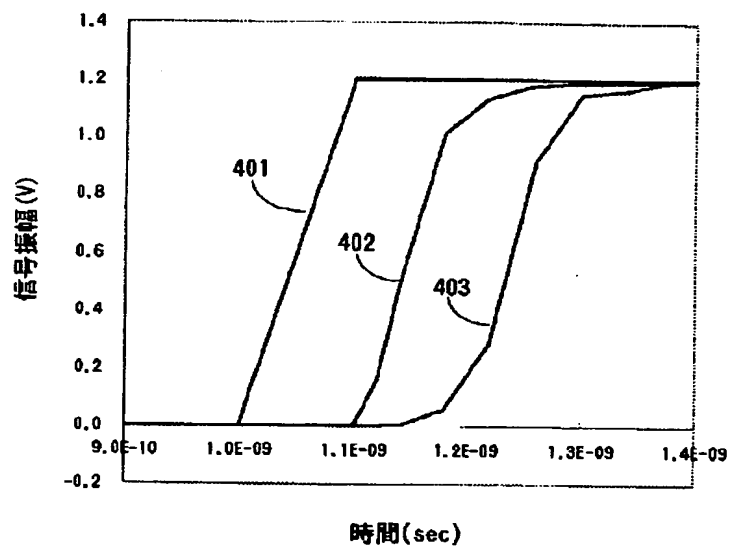


圖 3



【図4】

図4



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 3 K 19/0175

Fターム(参考) 5F038 CD05 CD13 DF01 DF08 EZ20
 5F048 AA00 AB04 AB10 AC03
 5J056 AA05 BB06 BB14 BB17 BB32
 CC19 DD13 DD28 DD29 EE11
 FF08 KK01